

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **05-234263**

(43) Date of publication of application : **10.09.1993**

(51)Int.Cl.

G11B 20/12

H04N 5/92

H04N 9/80

(21)Application number : 04-070198

(71)Applicant : **SONY CORP**

(22)Date of filing : **20.02.1992**

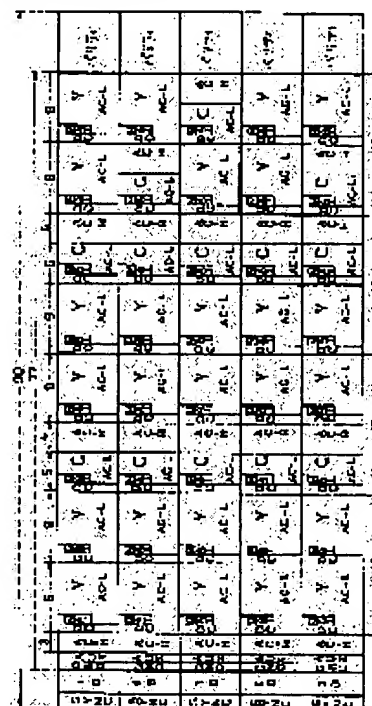
(72)Inventor : **OGURO MASAKI**

(54) FRAMING METHOD IN DIGITAL VIDEO SIGNAL RECORDER

(57)Abstract:

PURPOSE: To record/reproduce plural types of digital video signals having different data quantities by a data constitution having common regularity.

CONSTITUTION: The data constitution of 5 think blocks being one buffering unit of digital video signals of SD wide and SD-L types has regularity being common to an SD type. The inside of 5 think blocks is stuffed with data corresponding to 30 DCT blocks, as for the SD type, and stuffed with data corresponding to 40 DCT blocks, as for the SD wide and the SD-L. The number of think blocks per one track becomes equal. A DC portion is positioned at every 18 bytes, and regularity by which the data are arranged in order of (YYC) from the head becomes common to that of the SD.



LEGAL STATUS

[Date of request for examination]

15.02.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本特許庁 (J P) (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-234263

(43)公開日 平成5年(1993)9月10日

(51)Int.CI⁴ 横断記号 庁内整理番号 F I 技術表示箇所

G11B 20/12 103 7033-5D
H04N 5/92 H 8324-5C
9/80 B 9185-5C

審査請求 未請求 請求項の数1(全19頁)

(21)出願番号 特開平4-70198

(71)出願人 000002185
ソニー株式会社

(22)出願日 平成4年(1992)2月20日

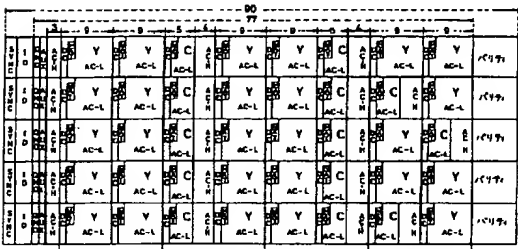
(72)発明者 東京都品川区北品川6丁目7番35号
小島 正樹
東京品川区北品川6丁目7番35号 ソニ
ー株式会社内
(74)代理人 弁理士 杉浦 正知

(54)【発明の名称】 デジタルビデオ信号記録装置におけるフレーム化方法

(57)【要約】

【目的】 異なるデータ量を有する複数のタイアのデジタルビデオ信号を共通の規則性を有するデータ構成でもって記録/再生可能とする。

【構成】 SDOワイドおよびSD-Lのタイアのデジタルビデオ信号の1バツフリンクユニットである、5シンクフロッツクのデータ構成は、SDタイアと共通の規則性を有する、5シンクフロッツク内には、SDタイアで30 DCTフロッツクに対応するデータが詰め込まれ、SDワイドおよびSD-Lでは、40 DCTフロッツクに対応するデータが詰め込まれる。1バツフリンク当りのシンクフロッツク数が等しくされる。18バイト毎に直流分が位置し、先頭から(VYC)の順にデータが配置される規則性がSDのものとは通とされる。



【特許請求の範囲】

【請求項1】 デジタルビデオ信号をコサイン変換および可変長符号化するとともに、所定期間の符号化出力のデータ量をN個のシンクフロッツクのデータエリア内に収まるように、制御するためのバツフリンク手段と、上記バツフリンク手段の出力をシンクフロッツクの構成として、記録媒体上の複数のトラックとして記録するための手段とを有するデジタルビデオ信号記録装置におけるフレーム化方法であって、

第1のデジタルビデオ信号を記録する時には、上記各シンクフロッツクのビデオ信号を記録する第1、第2、第3および第4のエリアに分割し、上記N個のシンクフロッツクで形成される第1、第2、第3および第4の分割エリア内に、上記第1のデジタルビデオ信号のM個のサイン変換フロッツクの符号化出力を規則的に従って配置し、上記第1のデジタルビデオ信号と比較して、上記トラックに記録される上記サイン変換フロッツク数が4/3倍の第2のデジタルビデオ信号を記録する時には、そのM個の上記サイン変換フロッツクの符号化出力を第1、第2および第3の上記分割エリア内に上記規則性に従って配置し、その1/3M個の上記サイン変換フロッツクを上記第4の分割エリア内に配置することを特徴とするデジタルビデオ信号記録装置のフレーム化方法。

【00011】

【産業上の利用分野】 この発明は、高エネルギー化として例えばDCTを使用するデジタルビデオ信号の記録装置のフレーム化方法に関する。

【0002】

【従来の技術】 デジタルビデオ信号を例えば回転ヘッドにより磁気テープに記録するデジタルVTRが知られている。デジタルビデオ信号の情報量が多いので、その伝送データ量を圧縮するための高エネルギー化が採用されることが多い。種々の高エネルギー化の中でも、DCT (Discrete Cosine Transform) の実用化が進んでいる。

【0003】 DCTは、1フレームの画像を例えば(8×8)のフロッツク構造に変換し、このフロッツクを直交変換の一種であるコサイン変換処理するものである。その結果、(8×8)の係数データが検出される。このような係数データは、ランレングス符号、ハフマン符号等の可変符号化の処理を受けてから伝送される。伝送時には、再生側でのデータ処理を容易にするために、符号化出力であるコード信号を一定長のシンクフロッツクのデータエリア内に挿入し、コード信号に対して同期信号、ID信号が付け加えられたシンクフロッツクを構成するフレーム化がなされる。

【0004】 磁気テープを使用するデジタルVTR、デイスコ状記録媒体を使用するデイスコ記録装置等で

は、1フィールドあるいは1フレームのビデオデータが複数のトラックに記録されるのが普通である。しかしながら、上述のDCTのように、可変長出力が形成される時には、これらの所定期間のデータ量が変動する。このため、所定期間のデータ量を目標値以下とするためのバツフリンク処理が必要とされる。

【0005】 一例として、1フィールドあるいは1フレームより短い所定期間(バツフリンクユニットと称する)のデータ量を制御し、1フィールドあるいは1フレーム期間の全体でも、結果的にデータ量を目標値以下とするバツフリンク処理が提案されている。バツフリンク処理は、DCTで発生した変換分の係数データを適切な量子化ステップで再量子化して、伝送データ量を目標値以下に抑える処理である。伝送データ内には、量子化ステップあるいはこれを示す量子化番号のコードが符号化データとともに、挿入される。

【0006】 コンボースト信号(V、U、V)をDCT符号化する時に、フクロフロッツクと称される単位を導入している。(4:1:1)の方法では、輝度信号に関する4個のDCTフロッツク(VVVV)と、これらと空間的に同一位置の色差信号に関する2個のDCTフロッツク(U、V)とによって、フクロフロッツクが構成される。(4:2:0)の方式では、(2×2)の4個のDCTフロッツク(VVVY)と、これらと空間的に同一位置の2個のDCTフロッツク(U、V)とによって、フクロフロッツクが構成される。コンボースト方式のデジタルVTRにおいて、再生画像のデータとして利用できるのは、フクロフロッツク単位で再生されたものである。従って、たとえば、それぞれが異なるフクロフロッツクに含まれる色差データU、Vと輝度データYとを再生できても、再生画像を構成できない。

【0007】 記録データは、シンクフロッツクが連続する構成とされる。この1シンクフロッツク内に含まれるコード信号とフクロフロッツクとの関係が規定されていないと、1シンクフロッツクのコード信号を全て再生できても、フクロフロッツク単位で再生できず、必ずしも全てが有効なデータとして扱うことができない。このことは、シンクフロッツク単位で再生データを取り出す変遷再生時に問題となる。そこで、本願出願人は、1シンクフロッツク内に整数個例えば1個のフクロフロッツクに対応する符号化出力を挿入し、変遷再生時に、なるべくフクロフロッツク単位でコンボーストデータを再生可能な記録装置を提案している。

【0008】

【発明が解決しようとする課題】 ビデオ信号としては、SD(標準解像度)信号であっても、フィールド間数差が501h、601hの相違があり、また、アスペクト比が異なるSDワイドシステムが存在し、さらに、データ量が半分のSD-Lシステムが存在しうる。これらのタイアのビデオ信号も、同一の回転ヘッドおよび磁気テープ

路5を介して量子化回路6に供給される。交流分の係数データは、図5Bに示すように、シフト量走査の順で次数が低い交流分からこれが高いものに向かって順に伝送される。また、この交流分の係数データが見積り器7およびアナライザデータ化回路8にも供給される。遅延回路5は、見積り器7で適切な量子化番号QNOが決定されるのに必要な時間と対応する遅延量を有している。見積り器7からの量子化番号QNOは、量子化回路6、バッキング回路10に供給される。

【0020】量子化回路6では、係数データ内の交流分AC1～AC63が量子化される。すなわち、適切な量子化ステップで交流分の係数データが計算され、その結果が蓄積される。この量子化ステップが見積り器7からの量子化番号QNOによって決定される。ディジタルVTRの場合は、編集等の処理が1フィールドあるいは1フレーム単位でなされるので、1フィールドあるいは1フレーム当りの発生データ量が目標値以下となる必要がある。

【0030】DCTおよび可変長符号化で発生するデータ量は、符号化の対象の総和によって変化するので、1フィールドあるいは1フレーム期間より短いバッキングユニットの発生データ量を目標値以下とするためのバッキング処理がなされる。ここでは、5シンクアログのデータエリア内に対象とするバッキングユニットのデータ(SDの場合で30DCTブロック、SDデータおよびHSD-Lの場合で40DCTブロック)が収まるようなバッキングがなされる。バッキングユニットを短くするのは、バッキングのためのメモリ容量を低減するなど、バッキング回路の簡略化のためである。

【0031】また、アナライザデータ発生回路8は、DCTブロックの単位で、交流成分の量を調べ、そのDCTブロックのアナライザデータを示す2ビットのアナライザデータコードを発生する。一例として、交流分の係数データAC1～AC63の絶対値で、しきい値以上のものの個数を計数し、計数値の大小関係を示すアナライザデータコードが生成される。一例として、下記のアナライザデータコードが生成される。

計数値が(0～10) : (00)
計数値が(11～18) : (01)
計数値が(19～25) : (10)
計数値が(26～63) : (11)

【0032】計数値は、そのDCTブロックの交流分の量の目安を與へ、従って、発生データ量を制御するためには、ATが(00)で、交流分が小さい時には、量子化ステップを小さくする必要があり、一方、ATが(11)で、交流分が多い時には、量子化ステップを大きくする必要もある。このように、量子化ステップを決定する目安として、アナライザデータが利用される。このアナライザデータコードは、見積り器7およびバッキン

グ回路10に供給される。

【0033】量子化回路6の出力が可変長符号化回路9に供給され、ランレングス符号化、ハフマン符号化等がなされる。例えばコードの係数データの“0”の連続数であるゼロランと、係数データの値をROM内に格納されたハフマンテーブルに与え、可変長コード(符号化出力)を発生する2次元ハフマン符号化が採用される。可変長符号化回路9からのコード信号がバッキング回路10に供給される。バッキング回路10は、コード信号をバイト順のデータに変換する。バッキング回路10の出力がフレーム化回路11に供給される。フレーム化回路10は、コード信号およびアナライザデータが配されたデータを形成する。

【0034】フレーム化回路11では、バッキング回路10の出力に対して、さらに同期信号、量子化番号QNO、ID信号、補助コードAUXを付加する。そして、フレーム化回路11からは、シンクアログ構成のデータが現れる。このフレーム化回路11の出力がアナライザ発生回路12に供給され、エラー訂正符号の符号化がなされる。

【0035】エラー訂正符号として、縦符号が使用され、その水平方向および垂直方向のデータに対して、リード・ソロモンの符号化がそれぞれなされる。水平方向のエラー訂正符号が内符号と称され、垂直方向のエラー訂正符号が外符号と称される。内符号は、1シンクアログのデータエリアに含まれるデータに対してなされ、水平アナライザデータが生成される。垂直アナライザデータをききシンクアログもありうる。変調変換時では、シンクアログとして切り出されたデータが有効として扱われ、内符号を使用したエラー訂正がなされる。

【0036】アナライザ発生回路12の出力が出力端子13に取られ、図示しないが、この記録データは、チャネル符号化回路、記録アンプを介して2面の回転ヘッドに供給され、磁気テープ上に記録される。

【0037】見積り器7は、バッキングユニットの発生データ量を目標値以下とすることができ、且つなるべく小さい値の量子化ステップを決定する。さらに、アナライザデータコードを参照して、DCTブロック毎に適切な量子化ステップを決定する。図6は、見積り器7の一例を示す。n面の量子化回路20₁、20₂、…、20_nに対して、DCT回路4からの係数データが供給される。これらの量子化回路20₁、20₂、…は、量子化ステップ発生回路21から互いに異なる量子化ステップΔ1、Δ2、…、Δnがそれぞれ供給される。

【0038】各量子化ステップで計算され、蓄積された出力が可変長符号化回路21₁～21_nにそれぞれ供給される。これらの可変長符号化回路21₁～21_nは、実際に可変長コードを発生する可変長符号化回路9と異なり、可変長符号化出力のコード長のデータを発

生する。このコード長のデータが累積回路23₁～23_nにそれぞれ供給される。累積回路23₁～23_nには、増分24からリセットパルスが供給される。累積回路23₁～23_nは、バッキングユニットで発生したコード信号の量を求めるもので、バッキングユニット毎にリセットパルスが発生する。累積回路23₁～23_nの累積出力が判定回路25に供給される。

【0039】判定回路25には、増分26からの目標値Amと増分27からのアナライザデータコードATとが供給される。累積回路23₁～23_nの出力と目標値Amとを比較し、目標値Amを超えない範囲で最も目標値Amと近く、且つそのDCTブロックのアナライザデータに適合した量子化ステップが判定される。この判定出力により量子化番号QNOが決定され、出力端子28に取り出される。この量子化番号QNOが量子化回路6に供給される。量子化回路6では、量子化番号を量子化ステップに変換するROMが備えられている。

【0040】見積り器7としては、図6に示す構成に限らず、異なる量子化ステップで異なる量子化を行う方式や、種々の構成のものを採用できる。また、全ての次数の交流分の係数データに対して、共通の量子化ステップを使用しても良い。つまり、交流分の係数データを次数に応じて、複数のグループに分割し、量子化ステップとして、複数のグループのそれぞれに対するものを用意する。そして、量子化ステップを異なる場合、複数のグループに対する量子化ステップの組を複数準備し、複数の量子化ステップの組で量子化を行い、その結果を参照して最適な量子化ステップが決定される。

【0041】さらに、磁気テープ上には、2本のトラックが二つの近接して配された回転ヘッドによって同時に形成され、1フレームのデータが複数のトラックに分割して記録される。前述の各タイフのトラックを図7に示す。SD50およびSDデータ60では、1フレームのデータが12本のトラックに記録され、SD60およびHSDデータ60では、1フレームのデータが10本のトラックに記録される。SD-L50、SD-L60のトラックには、データ量が半分のために6本および5本のトラックに1フレームデータが分割して記録される。なお、PCMオーディオ信号は、エラー訂正符号化され、1トラック内に収められたオーディオデータ記録区間に記録される。

【0042】上述の各タイフのビデオ信号の1フレーム当りのクロック数を比較すると分かるように、SDデータおよびSD-Lのタイフは、SDタイフのもの4/3倍のクロック数を包含し、1記録トラックに記録されるシンクアログ数がこれらのタイフ間で等しく設定すると、SDデータおよびSD-Lのタイフの記録データは、SDタイフのものより3/4に圧縮される。

【0043】図7Bは、バッキングユニット(RUF)に含まれるDCTブロック数を示す。SDおよびSDデータの場合は、5シンクアログのデータエリア内に、5クロック(30DCTブロック)のコード信号が配置されるように、バッキングがなされる。言い換えれば、バッキングユニット(5クロック)のデータ量が5面のシンクアログのデータエリア内に収まるように制御される。SD-Lでは、6クロック+4DCTブロック=40DCTブロックがバッキングユニットに含まれる。

【0044】磁気テープ上の1トラックには、図7Cに示すように、バッキングユニットBUF0～BUF26のデータが記録され、各バッキングユニットは、5シンクアログSYNC1～SYNC5で構成される。このトラックフォーマットは、統一的な処理のために、前述のビデオ信号のタイフの間で同一とされている。

【0045】シンクアログ回路3でなされるシンクアログ処理について説明する。SD50の1フレームのデータのシンクアログ処理が基本的であり、まず、これについて説明する。図8に示すような1フレーム(45×36)クロックのビデオデータを水平方向に5分割する。これは、バッキングユニットが5クロックで構成されるからである。さらに、1フレームのデータを垂直方向にトラック数(12)で等分する。従って、図8に示すように、(9×3=27)クロックの新たなクロックが形成される。これをスーパークロックと呼ぶこととする。1フレーム内には、(5×12=60)スーパークロックが存在する。

【0046】各列の12スーパークロックに対して、図7に示すように、0～11のスーパークロック番号を規定する。スーパークロック番号が1フレームのデータが記録されるトラック番号と対応している。各列間で、スーパークロック番号の配列を変えることによって、シンクアログが達成される。

【0047】各スーパークロック内の27クロックは、図8に示すように、0～26のクロック番号が付けられる。バッキングユニットの5クロックを集める時には、(スーパークロック番号-スーパークロック番号)の5面間の位置から集める。例えばバッキングユニットBUF0の(0-0)は、各列の番号0のスーパークロックから番号0のクロックを意味するのである。

【0048】シンクアログされたビデオデータが上述のように、DCT変換、バッキング処理、可変長符号化等の処理をされてから磁気テープに記録される。連続する2フレームのビデオデータと対応する記録データは、図9のトラックフォーマットで記録される。これは、図7Cに示すものを2フレームにわたって変えたものである。そして、前記フレームのトラックと隣接フレ

ーAのトラップとの間では、記録順序が変更されている。上述のシャフリン処理によって、2個の画素ヘッドの一方のシャフリン、デークのスタック等が生じるエラーを分散することができ、その結果、エラー修訂が容易となる。

【0049】SD50システムおよび後述のSD60システムに関して、一つのシャフリンユニットに含まれる5シンクロフロッグ(SYNC1〜SYNC5)を上から順に並べて図10に示す。各シンクロフロッグには、1マイクロフロッグが含まれ、1マイクロフロッグユニットには、5マイクロフロッグ(=30DCTフロッグ)が含まれる。

【0050】1シンクロフロッグの長さは、例えば90バイトである。シンクロフロッグの先頭にフロッグ同期信号SYNC(2バイト)が位置し、その後、ID信号が位置する。このID信号は、2バイトのID信号(ID0、ID1)およびID信号に対するパリティIDP(1バイト)からなる。残りの85バイトの内の77バイトがデータエリアである。データエリアの先頭に、量子化スラッシュを識別するための1バイトの量子化番号NQおよび補助コードAUXが位置する。その後の75バイトがデータ(可変長コードあるいは外符号化のバリティ)である。

【0051】1シンクロフロッグには、1マイクロフロッグ(VVYV、U、V)に関するコード信号および各DCTフロッグに関連してのアクティビティコードAATおよび動きフラグMが挿入される。動きフラグMは、DCTフロッグ毎に検出された動きの有無を示す1ビットのフラグである。図1では、簡単のため、動き検出回路は、省略されている。

【0052】75バイトのエリアがそれぞれ一定長。例えば18バイトの長さの4個のエリアと、端数の先頭のエリアとに分割される。この18バイト毎に、1マイクロフロッグの4個のYのDCTフロッグで発生した直流成分(DCピット)を配置し、その後、動きフラグMおよびアクティビティコードAATを配置する。18バイトのエリアが12バイトおよび6バイトのエリアにそれぞれ分割される。この結果、先頭の端数のエリア以外に8個のエリアが形成される。

【0053】先頭のエリアが固定のAC-Hエリアとされる。直流成分を含む12バイトのエリアがYのAC-Hエリアとされ、6バイトのエリアが固定のAC-Hエリアとされる。これらのバイト数は、標準的な結果を複製取得し、それぞれの符号化出力に関して、DCTフロッグに対応する符号化出力のバイト数の分布を調べることで決定される。次の18バイトのエリアには、YのAC-Hエリアと、C(例えばU)の直流分、動きフラグM、アクティビティコードAAT、AC-Lのためのエリアが含まれる。さらに、次の18バイトのエリア

がVのAC-Lエリア、固定AC-Hエリアとされ、最後の18バイトのエリアがYのAC-Lエリアと、C(例えばV)の直流分、動きフラグM、アクティビティコードAAT、AC-LのためのAC-Hエリアとされる。各AC-Lエリアからはみ出したAC-H成分が先頭のAC-Hエリアから順に詰め込まれる。AC-Lエリア内に空きエリア、すなわち、可変ACエリアが存在すれば、ここにも、はみ出したAC-H成分が詰め込まれる。

【0054】ID信号は、フレームID、フレーム識別ビット、記録データの種類を示す2ビット、シンクロフロッグアドレス、パリティIDPを含む。フレームIDは、フレーム毎に反転する。識別ビットは、この表紙例のデータフレームVTR用のフレームIDとそれ以外のフレームとを識別する。例えば“1”の時は、データフレームとを識別する。これが“0”の時は、他のフレームを意味する。記録データの種類(ビデオ、オーディオ等)を表す。さらに、シンクロフロッグアドレスは、1フレームのデータを含み、複数のトラップに分割して記録される全シンクロフロッグに対して、順番で付されるフラグである。

【0055】さらに、データエリア内の補助コードAUXも、一種のID信号であって、ビデオ信号放送形式、オーディオのモード等の情報を持っている。データエリア内に量子化番号NQ、補助コードAUXを記録しているのは、ID信号のエラー訂正符号よりも、データエリア内のデータに関するエラー訂正符号の方がより訂正能力が高いからである。

【0056】上述のシンクロフロッグのデータは、フレーム化回路11によって構成される。このシンクロフロッグのデータ構成は、以下の点で改良されている。第1に、1シンクロフロッグ内に、略1マイクロフロッグのコード信号が存在するので、変遷再生時のように、1シンクロフロッグの単位で再生されたデータを有効に利用できる。第2に、AC-Hエリアとして、固定のエリアが設けられ、然る、これらが分散されているので、AC-H成分が広域エラータとなる割合を低減できる。第3に、固定のAC-Hエリアが最初の直流分より前に設けられている。従って、そのシンクロフロッグからはみ出したAC-H成分が前の方に詰められることになり、他のシンクロフロッグにまたがる可能性を低くすることができ、第4に、そのシンクロフロッグからはみ出したAC-H成分を固定AC-Hエリアの先頭から始めるので、AC-H成分がアドレス情報を持つことになる。その結果、前のシンクロフロッグにエラータがあっても、次のシンクロフロッグでリフレッシュできる。

【0057】SD50の上述のシャフリン処理およびトラップオーバーラップを他のタイアのビデオ信号に対して、拡張する。以下、SD50以外のタイアのビデオ信号の処理を説明する。まず、SD60のビデオ信号の

処理を図11を参照して説明する。1フレームでは、図11に示すように、(22.5×60マイクロフロッグ)のビデオデータが存在する。これを(45×30マイクロフロッグ)の配列に変形する。

【0058】この変形は、各行の22.5マイクロフロッグを22マイクロフロッグと端数の0.5マイクロフロッグとに分け、第2、第4、...第60の偶数番目の行に位置する、22マイクロフロッグを奇数番目の行の22マイクロフロッグの後に接続し、最後に、2個の0.5マイクロフロッグを合わせて1マイクロフロッグとすることでなされる。その結果、(45×30マイクロフロッグ)の配列が得られる。SD60では、1フレームのデータが10トラップに記録されるので、垂直方向にこれを10分割する。一方、SD50と同様に水平方向を5等分する。従って、(5×10スーパマイクロフロッグ)の配列が形成される。

【0059】50個のスーパマイクロフロッグの各列に対して、シャフリンガバターンに対応して番号付けがなされる。SD50と同様に、スーパマイクロフロッグ内の27マイクロフロッグに対して番号付けがなされる。そして、SD60のトラップオーバーラップは、図7Cおよび図9と同一である。SD60では、1フレームのデータが10本のトラップに記録されるので、(m=9)である。このSD60の1マイクロフロッグユニットのデータ構成は、上述のSD50と同様に、図10に示すものである。

【0060】次に、SDフイルム50について、図12を参照して説明する。(60×36マイクロフロッグ)の1フレームのビデオデータが垂直方向にトラップ数(12)で等分される。水平方向では、マイクロフロッグユニットが6マイクロフロッグ+4DCTフロッグのために、端の(3×36マイクロフロッグ)(A、Bの符号で示す)を除く54マイクロフロッグが6等分される。その結果、この両端部を除いて(6×12スーパマイクロフロッグ)が形成される。スーパマイクロフロッグが27個のマイクロフロッグで構成されるのは、上述と同様である。

【0061】各列の12個のスーパマイクロフロッグの各列に対して、シャフリンガバターンに対応して番号付けがなされる。SDフイルム50のトラップオーバーラップは、図7Cおよび図9と同一である。例えばマイクロフロッグユニットB U F 0の(0-0)は、各列の番号0のスーパマイクロフロッグから番号0のマイクロフロッグを集めた6マイクロフロッグである。SDフイルム50では、(m=11)である。1フレームの画像の両端部のシャフリン処理については後述する。

【0062】図13は、SDフイルム60の処理を示す。1フレームでは、図13に示すように、(30×60マイクロフロッグ)のビデオデータが存在する。これを(60×30マイクロフロッグ)の配列に変形する。この変形は、各行の30マイクロフロッグを27マイクロフロッグと左端の1マイクロフロッグと右端の2マイクロフロッグとに分け、第2、第4、...第60の偶数番目の行に位置する、27マイクロフロッグを奇数番目の行の両端の3マイクロフロッグを左端に付加し、偶数番目の行の両端の3マイクロフロッグを右端に集める。これによって、(60×30マイクロフロッグ)の配列が得られる。両端部にそれぞれAおよびBの符号を付す。

【0063】SDフイルム60では、1フレームのデータが10トラップに記録されるので、垂直方向にこれを10分割する。一方、両端部A、Bを除く54マイクロフロッグに6等分する。その結果、この両端部を除いて(6×10スーパマイクロフロッグ)が形成される。スーパマイクロフロッグが27個のマイクロフロッグで構成されるのは、上述と同様である。

【0064】(6×10)のスーパマイクロフロッグの各列に対して、シャフリンガバターンに対応して(0〜9)の番号付けがなされる。そして、SDフイルム60のトラップオーバーラップは、図7Cおよび図9と同一である。SDフイルム60では、(m=9)である。1フレームの画像の両端部の処理については後述する。

【0065】図14は、SD-L50システムのシャフリン処理を示す。このシステムでは、1フレームが(30×36=1080マイクロフロッグ)であり、27DCTフロッグを含むスーパマイクロフロッグで1フレームが分割される。図14に示すように、1フレームの両端部から18個の(1×6マイクロフロッグ)のストライフ部分を切り取り、残りの92マイクロフロッグを36個のスーパマイクロフロッグに分割する。各スーパマイクロフロッグが(0〜26)の番号付けがされたマイクロフロッグを含むのは、上述と同様である。この分割は、矩形とならず、例示のように、シャフリンガバターンとなる。

【0066】縦方向に並ぶm(=6)のスーパマイクロフロッグ毎にシャフリン番号が付けられる。SD-L50のトラップオーバーラップも図7Cおよび図9と同一である。両端部の108マイクロフロッグは、図14中でA、B、Cの符号を付して示すように、それぞれが36マイクロフロッグのグループに分けられる。この1フレームの画像の両端部の処理については後述する。

【0067】図15は、SD-L60の処理を示す。1フレームでは、(15×60マイクロフロッグ)のビデオデータが存在する。これを(30×30マイクロフロッグ)の配列に変形する。この変形は、第2、第4、...第60の偶数番目の行に位置する、15マイクロフロッグを奇数番目の行の15マイクロフロッグの後に接続する。さらに、+の符号を付した30マイクロフロッグは、第1行の左端のものを除く14マイクロフロッグと、第2行の左端の1マイクロフロッグと、第60行の右端のものを除く14マイクロフロッグと、第59行の右端の1マイクロフロッグとを含む。一の符号を付した60マイクロフロッグは、奇数番目の行の左端の30マイクロフロッグと、

図解各目の行の右端の30マイクロプロックとの合計60マイクロプロックを含む。

【0068】これらの周辺マイクロプロック(合計90マイクロプロック)を周辺15に示すように、 $(30 \times 30 \times 2)$ マイクロプロックの周辺に配する。周辺マイクロプロックを除く810マイクロプロックを30個のスーパーマイクロプロックに分割する。各スーパーマイクロプロックが $(0 \sim 26)$ の番号付けがされたマイクロプロックを含むのは、上述と同様である。この分割は、矩形とならず、例示のように、ジグザグ形状となる。

【0069】縦方向に並ぶ $(n=5)$ のスーパーマイクロプロック毎にシフトリング番号が付けられる。SD-L60のトラッキングエラーも図7Cおよび図9と同一である。周辺部の90マイクロプロックは、図15中でA、B、Cの符号を付けて示すように、それぞれが30マイクロプロックのグループに分けられる。この1グループの画像の両端部の処理については後述する。

【0070】SDワイフおよびSD-Lシステムにおける周辺マイクロプロックの処理について、図16を参照して説明する。SDワイフ50システムでは、前述し、図12に示すように、それぞれが $(3 \times 3 \times 6)$ マイクロプロックの周辺マイクロプロックAおよびBが発生する。SDワイフ60システムでは、前述し、図13に示すように、それぞれが $(3 \times 3 \times 0)$ マイクロプロックの周辺マイクロプロックAおよびBが発生する。この両者を合わせてたものを垂直方向に3マイクロプロックずつ分割する。その結果、得られる周辺スーパーマイクロプロック $(=6 \times 3 = 18 \times 0)$ マイクロプロック内それぞれに対して、図16に示すように、a～rの符号を付す。なお、 (18×0) マイクロプロック $=27 \times 1 = 108 \text{ DCTプロック}$ である。

【0071】SD-L50システムでは、前述し、図14に示すように、それぞれが $(1 \times 3 \times 6)$ マイクロプロックの周辺マイクロプロックA、BおよびCが発生する。SD-L60システムでは、前述し、図15に示すように、それぞれが $(1 \times 3 \times 0)$ マイクロプロックの周辺マイクロプロックA、BおよびCが発生する。図16に示すように、これらを合わせてたものを垂直方向に6マイクロプロックずつ分割する。その結果、得られる周辺スーパーマイクロプロック $(=3 \times 6 = 18 \times 0)$ マイクロプロック内それぞれに対して、図16に示すように、a～rの符号を付す。

【0072】さらに、周辺スーパーマイクロプロックのa～rの18マイクロプロックが図16に示すように、4DCTプロック毎に27個 $(n=0 \sim n=26)$ に分割される。ここで、SDワイフ50システムでは、 $(n=0 \sim 11)$ であり、SDワイフ60システムでは、 $(n=0 \sim 9)$ であり、SD-L50システムでは、 $(n=0 \sim 5)$ であり、SD-L60システムでは、 $(n=0 \sim 4)$ である。

【0073】上述のようにシフトリングされたSDワイフおよびSD-Lの1バツリングユニット $(=40 \text{ DCTプロック})$ のデータは、図17に示す5シンクロック構成として記録される。各シンクロックのデータエリアの前部には、 $(6 \text{ DCTプロック}: 1 \times 0)$ マイクロプロックの符号化出力が配置される。上側の3個のシンクロックの残りのデータエリアに $(6 \text{ DCTプロック}: 1 \times 0)$ マイクロプロックの符号化出力が配置される。その結果、36DCTプロックが配置される。太線で示すように、下側の2シンクロックの残りのデータエリア内に4DCTプロックが配置される。このように40DCTプロックを5シンクロックのデータエリア内に配置できる。

【0074】ここで、前述し、図10に示されるSDワイフのシンクロック構成と、図17のSDワイフおよびSD-Lのシンクロック構成とを比較する。SDワイフでは、YのDCTプロックの符号化出力は、12バイト長の区間に挿入されているが、データ量が3/4に圧縮されているので、これを $(12 \times 3/4 = 9 \text{ バイト})$ とする。また、CのDCTプロックの符号化出力は、6バイト長の区間に挿入されているが、データ量が3/4に圧縮されているので、これを $(6 \times 3/4 = 4.5 \text{ バイト} \approx 5 \text{ バイト})$ とする。さらに、固定のAC-Hエリアを6バイトから4バイトに変更する。

【0075】18バイト毎に4分割して形成された第1、第2および第3の分割エリアには、(Y、Y) (C、AC-H、Y) (Y、C、AC-H) を夫々配置する。その結果、9バイト毎に直成分が規則的に位置する配列が得られる。残りの5シンクロックの第4の分割エリア内に、第1のシンクロックから順に、(Y、Y) (C、AC-H、Y) (Y、C、AC-H) (Y、C、AC-H、Y)の10DCTプロックに対応するデータを詰め込む。このように、18バイト毎に直成分が位置すること、同期信号間からYYCの順にデータが詰められていることとなる規則性が図10および図17のデータ構成間で共通に存在する。先頭の3バイトの固定AC-Hエリアが設けられていること、動きトラフィックおよびアクティブピクセルの配置も共通である。然も、SDワイフでは、 $(Y=12 \text{ バイト}, C=6 \text{ バイト})$ であり、SDワイフおよびSD-Lタイプでは、 $(Y=9 \text{ バイト}, C+AC-H=9 \text{ バイト})$ であり、18バイトの周期性を有する。上述の図10について説明したシンクロックのデータ構成の利点は、図17に開示したと同様に生じる。

【0076】この図17のデータ構成において、6DCTプロックは、上側の3個のシンクロックを正しく再生できた時に、1マイクロプロックとして再生画像に寄与することができる。また、4DCTプロックは、他のバツリングユニットに含まれる2DCTプロックを正しく再生できた時に、1マイクロプロックとして再生画像

に寄与することができる。エラー訂正符号化の処理を考慮する時、あるいは変速再生時には、これらのDCTプロック、特に、4DCTプロックは、1マイクロプロックとして寄与できなくなる他減性が高いものである。

【0077】上述の図16に示すような周辺スーパーマイクロプロックの処理で得られた4DCTプロックが上述の太線で囲んだデータエリア内に配される。従って、この4DCTプロックがエラーデータとなっても、再生画像中で周辺部の目立たない劣化とできる。変速再生時の画像に同じようにして向上できる。さらに、複数のシンクロックにまたがって6DCTプロックを固定せずに、巡回すれば、より好ましい。

【0078】さらに、この発明は、SDワイフに比して、データ量が2倍となるHD(高解像度)タイプのビデオ信号をSDタイプのものの2倍の数の記録トラックに記録する場合にも適用できる。このHDタイプは、上述のSDタイプと同様のデータ構成とすることができる。

【0079】【発明の効果】この発明によれば、記録/再生するデジタルビデオ信号のタイプが異なる時に、これらの間でシンクロックのデータ構成の規則性を共通とすることができ、従って、記録時および再生時の処理あるいは回路構成を簡略化することができる。

【図面の簡単な説明】
【図1】この発明が適用されたデジタルVTRの記録データ処理回路のブロック図である。
【図2】SDタイプのビデオ信号の説明に用いる略線図である。
【図3】SDワイフタイプのビデオ信号の説明に用いる略線図である。
【図4】SD-Lタイプのビデオ信号の説明に用いる略線図である。

【図5】DCTの説明に用いる略線図である。

【図6】見取り図の一例のブロック図である。

【図7】この一実施例のトラッキング数、バツリングユニットおよびトラッキングエラーの説明のための略線図である。

【図8】SD50システムのバツリングの説明のための略線図である。

【図9】データ上のトラッキングエラーを示す略線図である。

【図10】SDシステムにおけるバツリングユニットのデータ構成を示す略線図である。

【図11】SD60システムのバツリングの説明のための略線図である。

【図12】SDワイフ50システムのバツリングの説明のための略線図である。

【図13】SDワイフ60システムのバツリングの説明のための略線図である。

【図14】SD-L50システムのバツリングの説明のための略線図である。

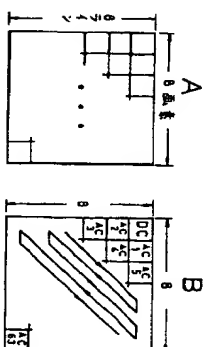
【図15】SD-L60システムのバツリングの説明のための略線図である。

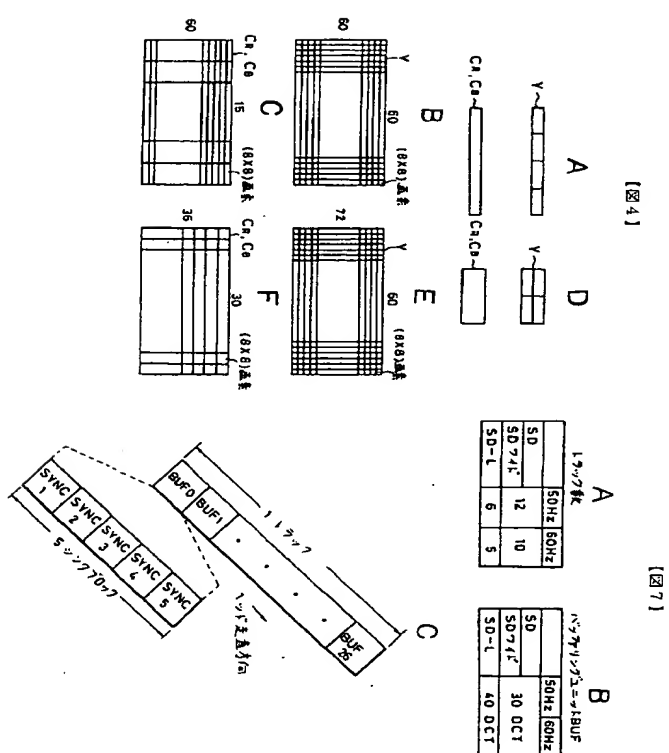
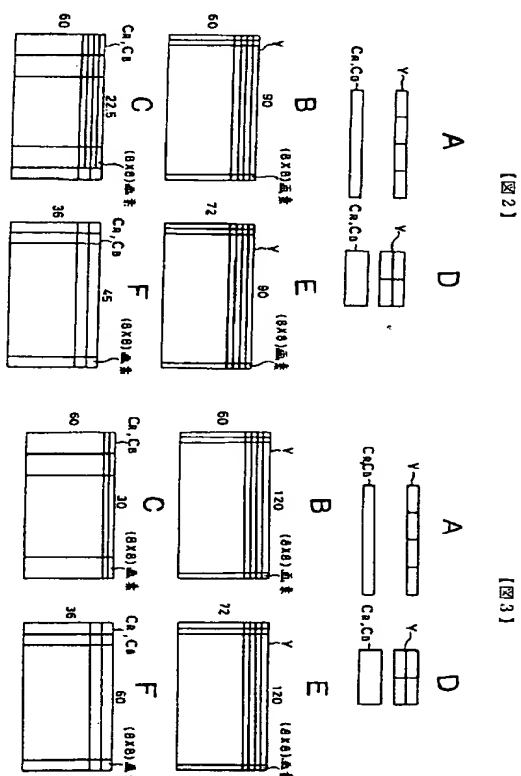
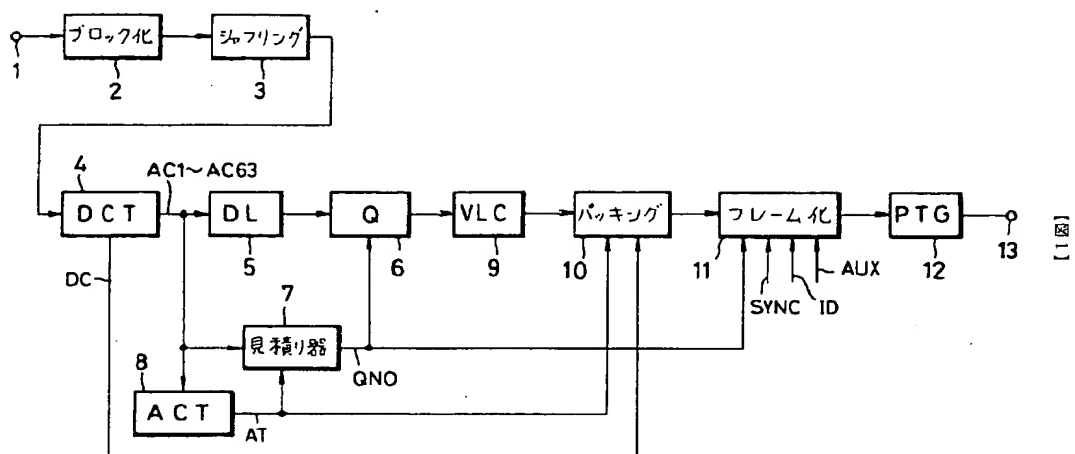
【図16】SDワイフおよびSD-Lシステムの周辺部のバツリングの説明のための略線図である。

【図17】SDワイフおよびSD-Lシステムにおけるバツリングユニットのデータ構成を示す略線図である。

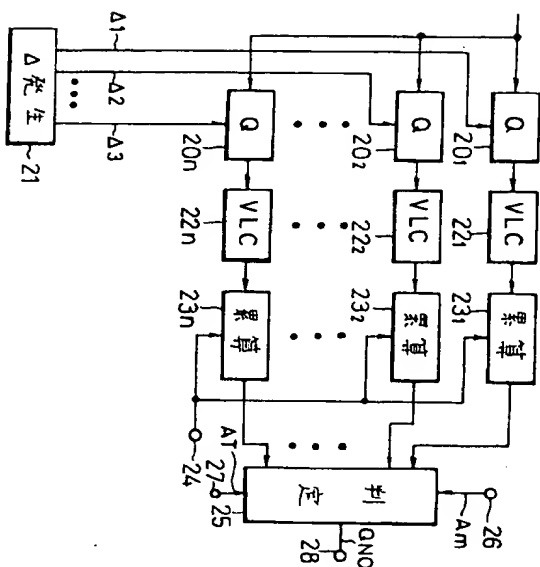
- 【符号の説明】
3 シフトリング回路
4 DCT回路
6 量子化回路
7 見取り図
11 フレーム化回路

【図5】





【図6】



【図9】

前段レベル				後段レベル			
BUF26	0-26	1-26	1-26	m-13	0-13		
BUF25	0-25	1-25	1-25	m-12	0-12		
BUF24	0-24	1-24	1-24	m-11	0-11		
BUF23	0-23	1-23	1-23	m-10	0-10		
BUF22	0-22	1-22	1-22	m-9	0-9		
BUF21	0-21	1-21	1-21	m-8	0-8		
BUF20	0-20	1-20	1-20	m-7	0-7		
BUF19	0-19	1-19	1-19	m-6	0-6		
BUF18	0-18	1-18	1-18	m-5	0-5		
BUF17	0-17	1-17	1-17	m-4	0-4		
BUF16	0-16	1-16	1-16	m-3	0-3		
BUF15	0-15	1-15	1-15	m-2	0-2		
BUF14	0-14	1-14	1-14	m-1	0-1		
BUF13	0-13	1-13	1-13	m-0	0-0		
BUF12	0-12	1-12	1-12	m-26	0-26		
BUF11	0-11	1-11	1-11	m-25	0-25		
BUF10	0-10	1-10	1-10	m-24	0-24		
BUF9	0-9	1-9	1-9	m-23	0-23		
BUF8	0-8	1-8	1-8	m-22	0-22		
BUF7	0-7	1-7	1-7	m-21	0-21		
BUF6	0-6	1-6	1-6	m-20	0-20		
BUF5	0-5	1-5	1-5	m-19	0-19		
BUF4	0-4	1-4	1-4	m-18	0-18		
BUF3	0-3	1-3	1-3	m-17	0-17		
BUF2	0-2	1-2	1-2	m-16	0-16		
BUF1	0-1	1-1	1-1	m-15	0-15		
BUF0	0-0	1-0	1-0	m-14	0-14		

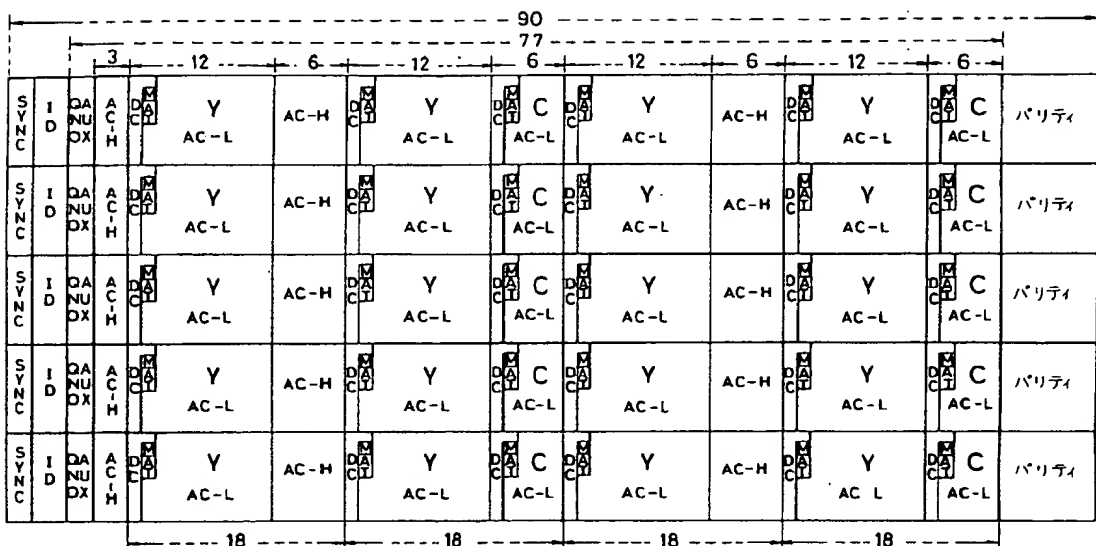
【図8】

0	5	10	3	8	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26
1	6	11	4	9	1	2	7	0	5	10	3	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	
2	7	0	5	10	3	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	
3	8	1	6	11	4	9	1	2	7	0	5	10	3	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	
4	9	2	7	0	5	10	3	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
5	10	3	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36
6	11	4	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37
7	0	5	10	3	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34
8	1	6	11	4	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35
9	2	7	0	5	10	3	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32
10	3	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37
11	4	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38

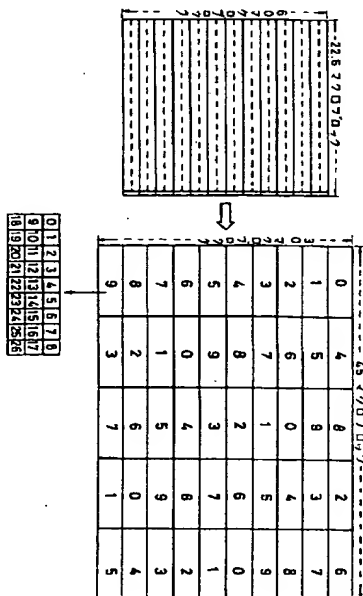
0112131456789

101112131415161718192021222324252627282930313233343536373839404142434445464748495051525354555657585960616263646566676869707172737475767778798081828384858687888990919293949596979899100

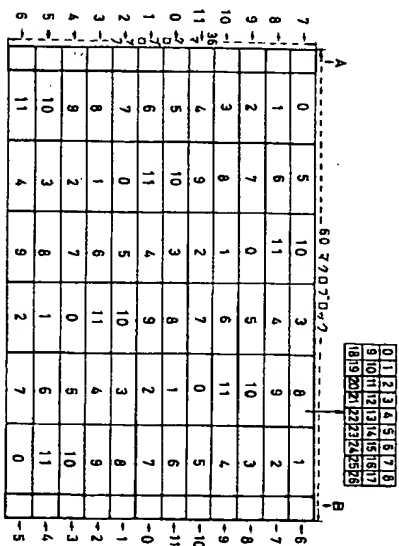
【図10】



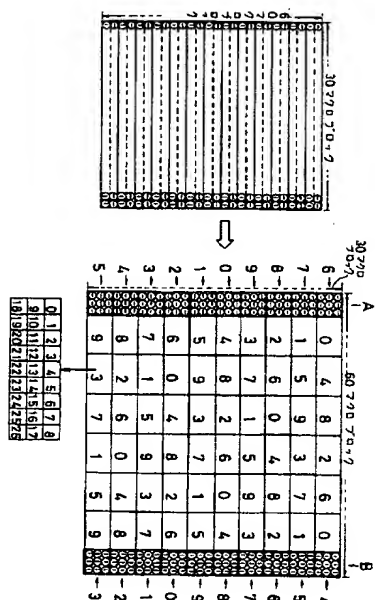
【図11】



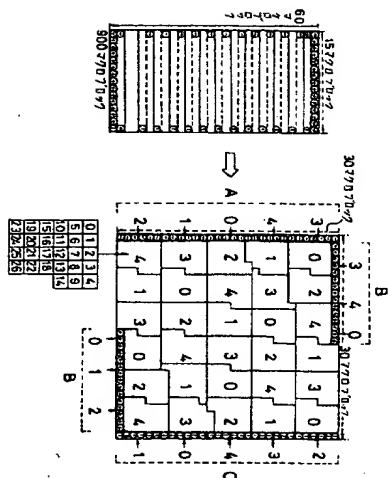
【図12】



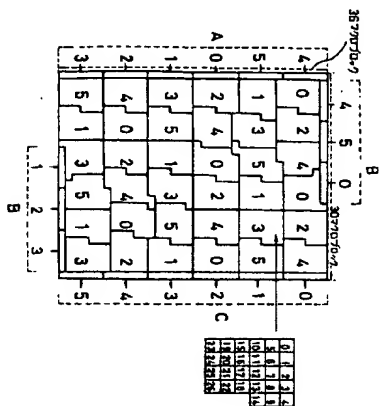
【図13】



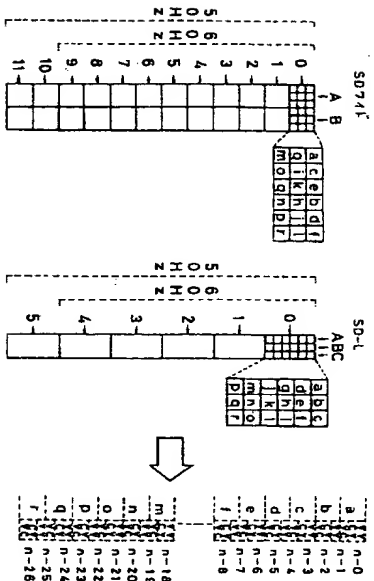
【図15】

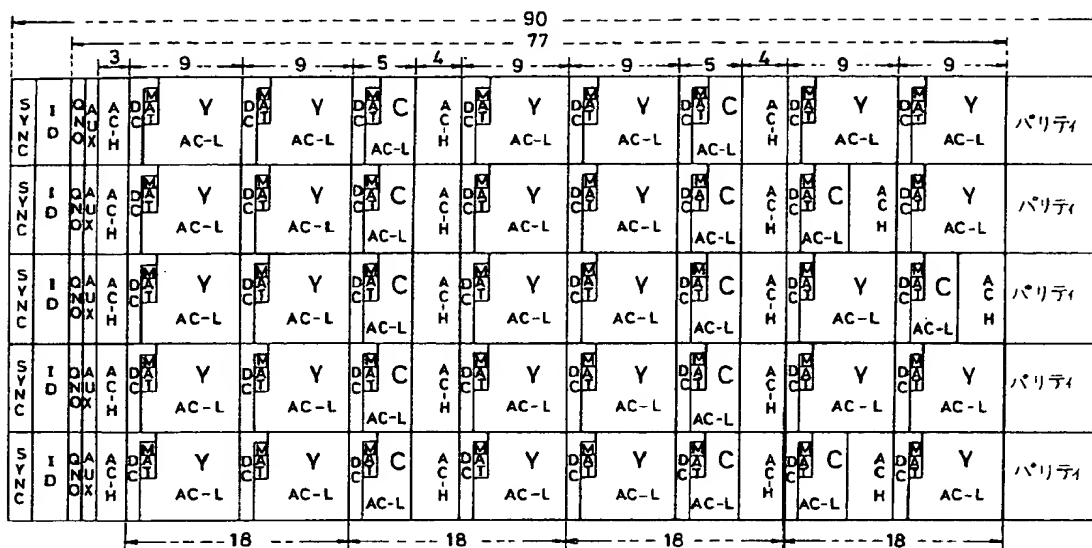


【図14】



【図16】





【図17】

JP Laid-open H5-234263 September 10, 1993

[Problems to be Solved by the Invention]

If the video signal is SD (standard definition) signal, the field frequency may differ between 50 Hz and 60 Hz, there may be SD wide system different in aspect ratio and further SD-L system half in quantity of data. Video signals of these different types are also preferred to be recorded/reproduced by a VTR having a same rotary head and mechanism including magnetic tape.

In the case of such digital VTR, recording data quantity varies with the type of video signal, so that the composition of data to be recorded/reproduced has been set for each type. As a result, there was a disadvantage causing a problem that the circuit scale is increased in order to record/reproduce by the digital VTR. Further, between video signals of different types, when the sync block length is made constant, the data quantity differs, so that it is impossible to define exactly the same data placement in the sync blocks, and the circuit scale cannot be reduced sufficiently only by equalizing the sync block length.

It is hence an object of the invention to provide a framing method of digital video signal recording apparatus capable of reducing the scale of recording/reproducing circuit, by composing sync blocks by a common regularity when video signals of different types can be recorded.

[Means of Solving the Problems]

The invention provides a framing method in a digital video signal recording apparatus including a buffering circuit for processing a digital video signal by cosine transforming and variable length coding, and controlling data quantity of coding output in a specified period to settle within a data area of N sync blocks, and a device of recording the output of the buffering circuit as plural tracks on a recording medium in a composition of sync blocks, in which when recording a digital video signal of SD type, the placement area of video data of each sync block is divided into first, second, third and fourth areas, and coding output of M cosine transform blocks of first digital video signal is placed in the first, second, third and fourth division areas composed of N sync blocks according to a regularity, and when recording a digital video signal of SD wide or SD-L type of which the number of cosine transform blocks to be recorded in tracks is $4/3$ times as compared with the digital video signal of SD type, coding output of M cosine transform blocks is placed in the first, second and third division areas according to a regularity, while the $1/3M$ cosine transform blocks are placed in the fourth division area.

[Operation of the Invention]

When recording a digital video signal of SD type, the buffering circuit controls the data quantity of coding output so that the coding output corresponding to 30 DCT blocks (= 6 macro blocks) is contained within the data area of 5 sync blocks.

When recording a digital video signal of SD wide or SD-L type of, which number of cosine transform blocks to be recorded in tracks is $4/3$ times as compared with SD type, the buffering circuit controls the data quantity of coding output so that the coding output corresponding to 40 DCT blocks (= 6 macro blocks + 4 DCT blocks) is contained within the data area of 5 sync blocks. The data area of each sync block is divided into four. The coding output corresponding to 30 DCT blocks is composed of data corresponding to 6 DCT blocks in each sync block. The coding output corresponding to 40 DCT blocks is placed in the first to third division areas of each sync block with a same regularity as the SD type corresponding to 30 DCT blocks. The coding output corresponding to the remaining 10 DCT blocks is packed in the fourth area in 5 sync blocks.